

MS. Der MOS-FET als Schalter

Der MOSFET wird als **Schaltelement** eingesetzt

- als schneller Schalter in der Digitaltechnik. Grundsaltungen sind der **N-MOS-Inverter** bzw. der **CMOS-Inverter** und das **Transferrgatter** (Transmissiongate). Diese Schaltungsprinzipien werden im Fach Digitaltechnik II vorgestellt und hier nicht weiter behandelt.
- als Leistungsschalter für hohe Ströme und hohe Spannungen (einige 10 A und einige 100 V). Diese Anwendung ist Inhalt dieses Kapitels.

MS.1 Aufbau von Leistungs-MOSFET

Kleinsignal MOSFET:

Horizontaler Kanal, nur für kleine Ströme.
In integrierten Schaltungen gut zu realisieren.
Wegen geringen Kanalquerschnitts und geringer Spannungsbelastbarkeit nicht für Hochstrom- und Hochvoltanwendungen geeignet.

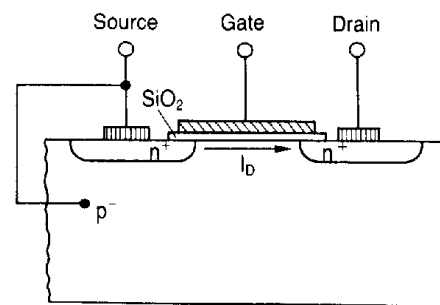


Abb. MS1: Horizontaler MOSFET

Leistungs-MOSFET:

Vertikaler Strompfad, hoher Kanalquerschnitt durch Parallelschaltung vieler kleinerer Teil-MOSFETs. Dadurch hoher Drainstrom und kleiner Einschaltwiderstand $R_{DS(on)}$.

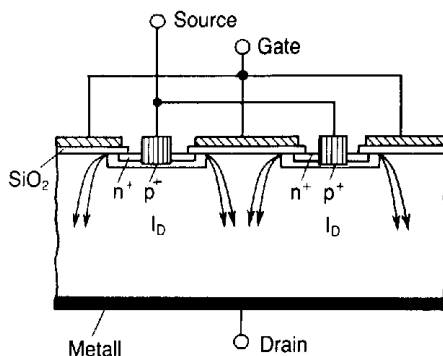


Abb. MS2: Vertikaler MOSFET

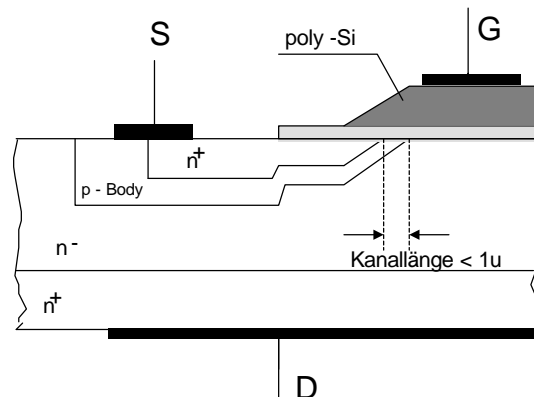


Abb. MS3: Grundelement eines SIP-MOS-Power-MOS

Die n^- -Diffusion der Drainzone bewirkt eine breitere Sperrschicht zwischen p-Zone des Kanalsubstrats und n-Drain
---> günstigere Spannungsverteilung unter der Gateisolation und höhere Sperrspannung zwischen Drain und Source.

Besonderheit: Aufgrund des speziellen Aufbaus von Leistungs-MOSFETs ist stets Source mit Kanalsubstrat verbunden. ---> **Revers-Diode** zwischen Source und Drain.

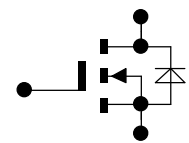


Abb. MS4: MOSFET mit Revers-Diode

MS.2 Statisches Schaltverhalten

Im Gegensatz zum BJT kann der MOSFET **statisch leistungslos** gesteuert werden.

x = Einschaltfall
y = Ausschaltfall

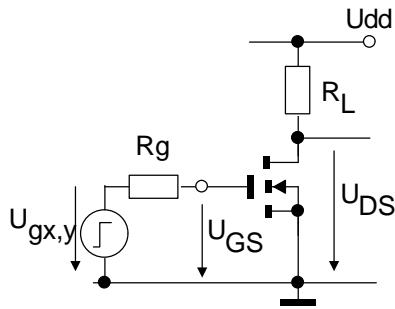


Abb. MS5: MOS-Schalter m. Ohmscher Last

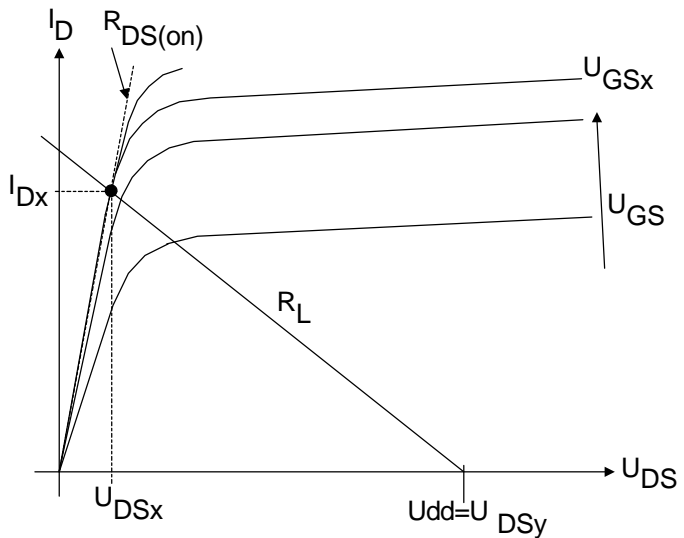


Abb. MS6: Schaltvorgang im Ausgangskennlinienfeld

$$I_{Dx} = \frac{U_{DD} - U_{DSx}}{R_L} = \frac{U_{DSx}}{R_{DS(on)}} \tag{MS1}$$

Für den **Einschaltfall** ist vor allem der Einschaltwiderstand $R_{DS(on)} = f(I_D)$ maßgebend (Abb. MS7). Es ist ein wichtiger Datenblattwert! Bedingt durch den Aufbau von Power-MOSFETs sind $R_{DS(on)}$ und die Spannungsfestigkeit der U_{DS} -Strecke voneinander abhängig. Breitere n--Zone ergibt höhere Spannungsfestigkeit aber auch größeren $R_{DS(on)}$. Für herkömmliche Si-Leistungs-MOSFET gilt anhaltsweise:

$$R_{DS(on)} \approx 8 \cdot 10^{-3} \cdot (U_{DS(BR)})^{2,5} \tag{MS2}$$

Durch die neue **CoolMOS-Technologie** wird ein **linearer Zusammenhang** zwischen $R_{DS(on)}$ und $U_{DS(BR)}$ erreicht. Damit können Hochvolt-MOSFET mit geringem $R_{DS(on)}$ hergestellt werden.

Die **Ermittlung des Einschaltstroms** erfordert die Kenntnis von $R_{DS(on)} = f(I_D)$. Gem. Abb. MS5 wird für I_D :

$$I_D = \frac{U_{DD}}{R_L + R_{DS(on)}} \quad (\text{ggf. mit einem Iterationsschritt}) \tag{MS3}$$

Leider sind die Darstellungen der Hersteller nicht einheitlich. Entnahme von $R_{DS(on)}$ z.B. aus Abb MS7 oder MS7a.

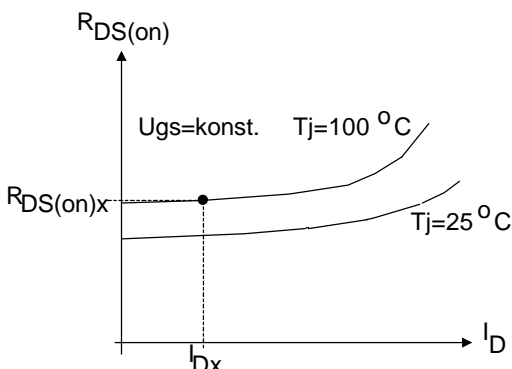


Abb. MS7: Einschaltwiderstand als Funktion von ID

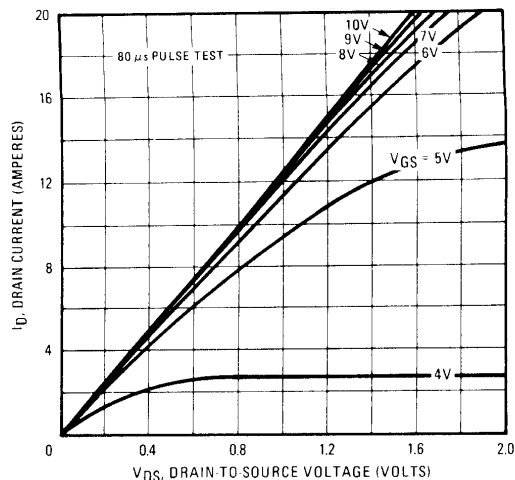


Abb. MS7a: Einschaltwid. aus Ausgangskennlinien

Im **Ausschaltfall** ($U_{GS} < U_{T0}$) fließt im wesentlichen nur der Sperrstrom der Reversdiode.

Als Leistungsbauelement sind beim POWER-MOSFET die **Leistungsgrenzen** und **Temperaturabhängigkeiten** zu beachten. Insbesondere sind dies

- die **Temperaturabhängigkeit** des maximalen Drainstroms und des Einschaltwiderstands.

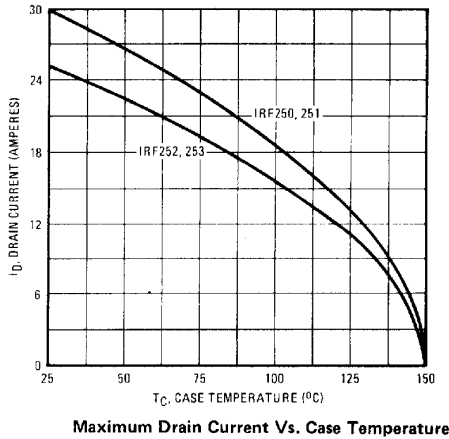


Abb. MS8: Temperaturbegrenzung des Drainstroms

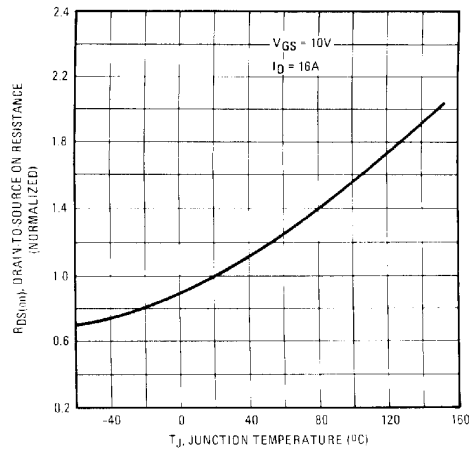


Abb. MS9: Temp.-Abhängigkeit des Einschaltwiderstands

- der **sichere Arbeitsbereich (SOA)**.

Hohe U_{DS} und hoher I_D können nicht gleichzeitig oder nur für kurze Zeit verarbeitet werden. Zur Überprüfung der zulässigen Belastung wird die Lastkennlinie des Drainkreises in das SOA-Diagramm eingezeichnet und auf Überschreitung der Grenzen untersucht. SOA-Diagramme basieren auf DC- oder Einzelimpulsmessung. Für die Beurteilung von Pulsfolgen und die Einbeziehung der Temperatur wird auf die Handhabung des Pulswärmeübergangswiderstands und die SOA-Berechnung beim Bipolartransistor im Fach Bauelemente verwiesen.

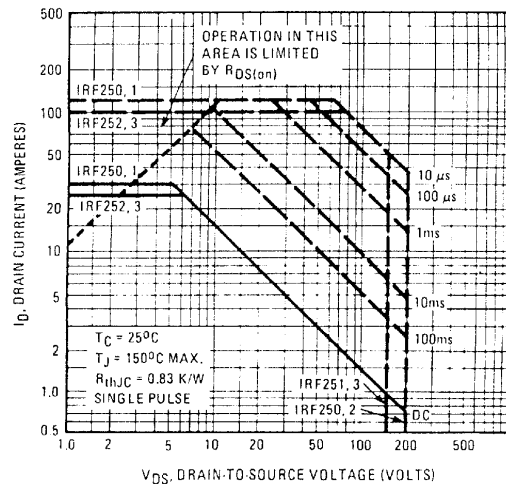


Abb. MS10: Typ. Angabe des sicheren Arbeitsbereichs

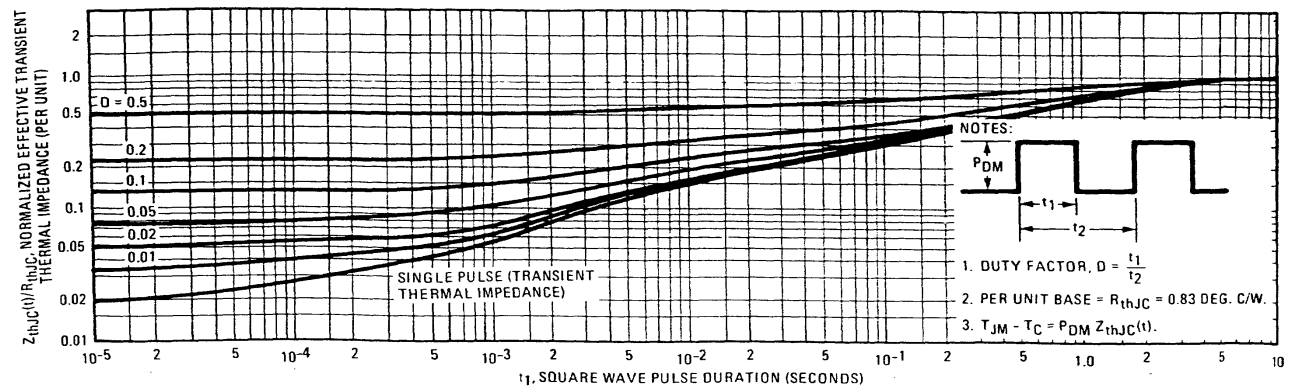


Abb. MS11: Pulswärmeübergangswiderstand

MS.3 Dynamisches Schaltverhalten

Während beim Kleinsignal-MOS-Schalter vor allem die kapazitive Belastung im Ausgangskreis maßgebend ist, beeinflussen beim Leistungs-MOS-Schalter hauptsächlich die Eingangs- und Rückwirkungskapazität zusammen mit dem Generatorwiderstand das dynamische Schaltverhalten.

Im folgenden werden Last- und Transistorkapazitäten, sowie der Generatorwiderstand berücksichtigt.

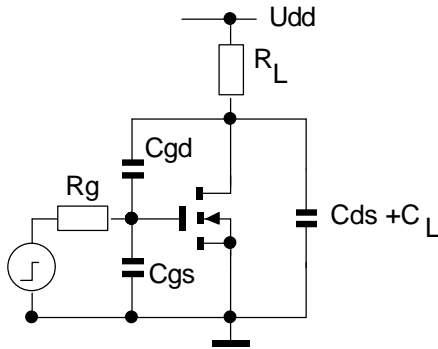


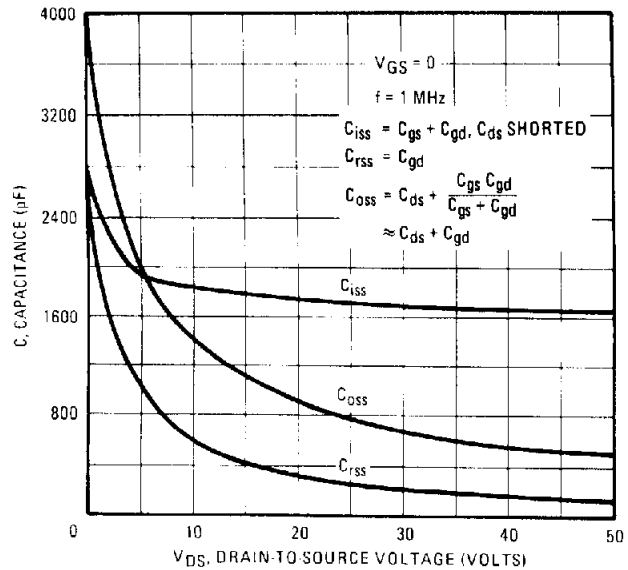
Abb. MS12: MOS-Schalter mit Kapazitäten

$$C_{oss} \approx C_{ds} + C_{gd}$$

$$C_{rss} = C_{gd}$$

$$C_{iss} = C_{gd} + C_{gs}$$

Die Transistorkapazitäten sind spannungabhängig. (Abb. MS13) Sie werden als Kleinsignalparameter gemessen, was nicht ganz korrekt ist. Die wirksamen Kapazitäten sind meist größer.



Typical Capacitance Vs. Drain-to-Source Voltage

Abb. MS13: Typ. Datenblattangabe der Kapazitäten

Beim eingeschalteten Transistor ($U_{DS} = U_{DS(on)} = \text{klein}$) sind die Kapazitäten deutlich größer als bei ausgeschaltetem Transistor. ---> Auswirkungen auf Schaltvorgang!

MS.3.1 Einschaltvorgang

Die nachfolgende Beschreibung bezieht sich auf die Schaltung v. Abb. MS12 und die Signale in Abb. MS14.

Zum Zeitpunkt t_0 erfolgt ein Sprung des Generatorsignals. Die Anstiegszeit des Generatorsignals sei vernachlässigbar gegen die Verzögerung im MOSFET.

- **Zeitintervall $t_0 \rightarrow t_1$:**
Bis zum Erreichen der Schwellenspannung (Einsatzspannung) $U_{GS} = U_{T0}$ wird die Kapazität $C_{iss} = C_{gd} + C_{gs}$ über R_g mit der Zeitkonstanten $\tau_1 = R_g C_{iss}$ aufgeladen. Der Transistor ist noch gesperrt.
- **Zeitintervall $t_1 \rightarrow t_2$: (Einschaltzeit)**
Nach Überschreiten von U_{T0} beginnt der MOSFET zu leiten; bei rein ohmscher Last nimmt U_{DS} proportional zur Stromzunahme ab. Der MOSFET befindet sich im Abschnürbereich, seine Steilheit ist hoch. Der **Millereffekt** transformiert C_{gd} als

$$C_{gd_m} = C_{gd}(1 + g_m R_L) \tag{MS4}$$

auf den Eingang.

Die gesamte **effektive Eingangskapazität** wird

$$C_{i\text{eff}} = C_{gs} + C_{gd}(1 + g_m R_L)$$

(MS5)

Der Steuerstrom wird zur Aufladung dieser rel. großen Kapazität benötigt; die Gatespannung steigt nur mehr sehr langsam mit der Zeitkonstanten $\tau_2 = R_g \cdot C_{i\text{eff}} > \tau_1$ an.

Da C_{gd} bei kleiner werdender U_{DS} stark ansteigt, wird der Gatespannungsverlauf kurz vor Erreichen von t_2 noch weiter abgeflacht.

- **Zeitintervall $t > t_2$:**

Ab t_2 haben I_D und U_{DS} ihre Endwerte (fast) erreicht. Der MOSFET ist praktisch eingeschaltet. Der Miller-effekt verschwindet, da sich U_{DS} nicht mehr wesentlich ändert. Die weitere Aufladung des Gate erfolgt mit der Zeitkonstanten $\tau_3 = R_g \cdot (C_{gs} + C_{gd})_{lin}$. Der FET befindet sich im Linearbereich, seine Kapazitäten sind größer als im Abschnürbereich; deshalb ist $\tau_3 > \tau_1$.

Der zeitliche Verlauf der Gatespannung wird üblich als **Gateladekurve** bezeichnet

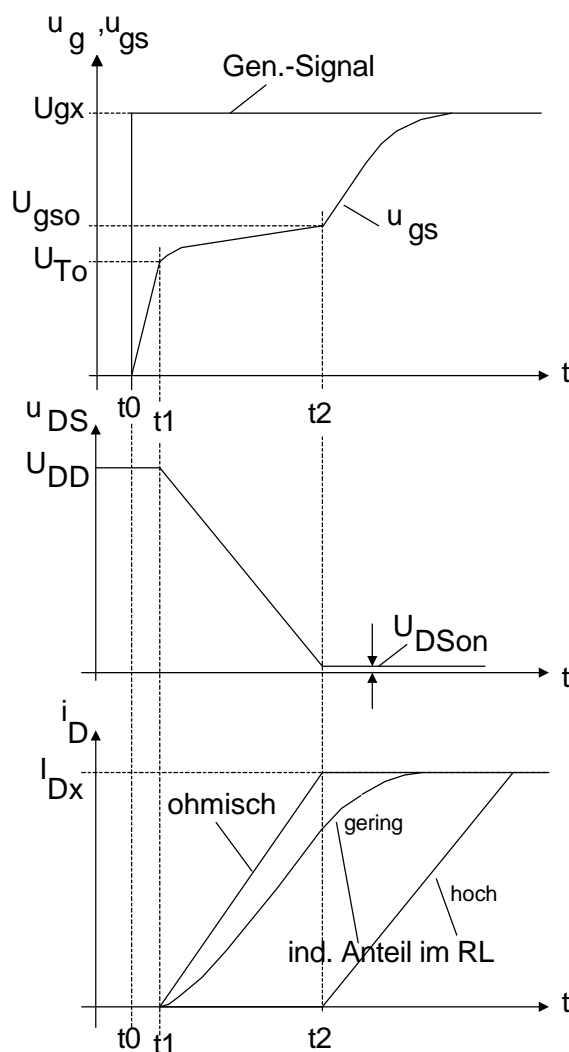


Abb. MS14: Signalverläufe beim Einschalten

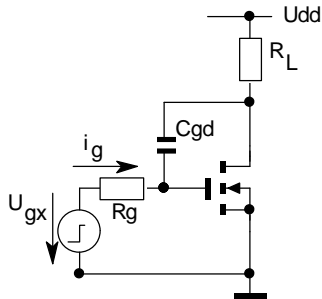
Enthält die Last einen induktiven Anteil, wird der Stromanstieg verzögert, insbesondere steigt I_D noch an, während der MOSFET schon eingeschaltet ist.

Praktische Berechnung des Zeitintervalls $t_m = (t_2 - t_1)$.

Die Anwendung von Gln.(MS5) ist problematisch, da einerseits die Steilheit g_m stromabhängig und andererseits die Kapazität C_{gd} spannungsabhängig sind.

Vereinfachte Berechnungsmöglichkeit:

Bei ausreichend großen $v_u = g_m R_L$ kann der MOS-Schalter als Integrator betrachtet werden.



$$i_g = C \frac{dU_C}{dt}$$

Für konstantes $\frac{dU_{DS}}{dt}$ wird näherungsweise: $i_g = C_{gd} \frac{\Delta U_{DS}}{t_m}$

mit $i_g = \frac{U_{gx} - U_{gs\text{miller}}}{R_g}$ wird:

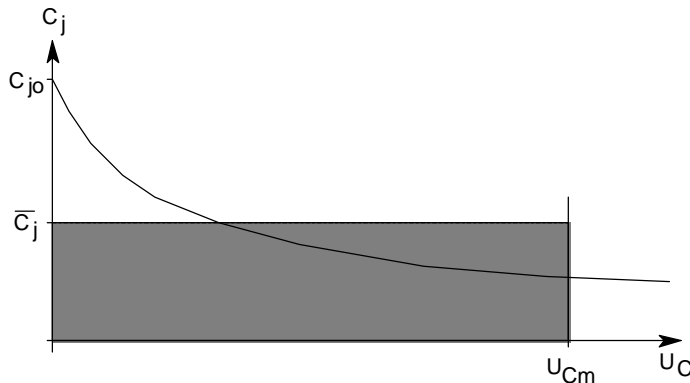
$$t_m = R_g C_{gd} \cdot \frac{\Delta U_{DS}}{U_{gx} - U_{gs\text{miller}}} \tag{MS6}$$

MS15: Millereffekt beim MOS-Schalter Mit $U_{gs\text{miller}}$ als mittlere U_{gs} im Bereich zwischen t_1 und t_2 .

In Gln. (MS6) bedeutet \bar{C}_{gd} eine mittlere, konstante Kapazität der gleichen Wirkung (Ladungsverschiebung) wie die tatsächlich wirksame spannungsabhängige Kapazität $C_{gd}(U_{DS})$. Beim Leistungs-MOSFET ist C_{rss} im wesentlichen eine spannungsabhängige Sperrschichtkapazität und kann wie bekannt angegeben werden zu:

$$C_j = C_{j0} \left(1 - \frac{U_C}{U_{j0}}\right)^{-m_j}$$

U_C = angelegte Sperrspannung, U_{j0} = Sperrschichtpotential, m_j = Gradationsexponent.



Die Fläche unter $C_j(U_C)$ bis U_{Cm} muß gleich sein der Fläche des schraffierten Rechtecks:

$$\begin{aligned} \bar{C}_j \cdot U_{Cm} &= C_{j0} \cdot \int_0^{U_{Cm}} \left(1 - \frac{U_C}{U_{j0}}\right)^{-m_j} dU_C = \\ &= \frac{-U_{j0} \cdot C_{j0}}{(1 - m_j)} \left[\left(1 - \frac{U_{Cm}}{U_{j0}}\right)^{(1 - m_j)} - 1 \right] \end{aligned} \tag{MS7}$$

Meist gelten die Werte $m_j = 0.3$, $U_{j0} = -0.5V$.

Eine ähnliche Berechnung ist auch für den anschließend beschriebenen Ausschaltvorgang anzuwenden.

Abb.16: Berechnung der mittleren Sperrschichtkapazität

MS.3.2 Ausschaltvorgang

Bei rein ohmscher Last erfolgt das Ausschalten des Transistors ähnlich in umgekehrter Reihenfolge. Zum Zeitpunkt t_3 wechselt die Generatorspannung von U_{gx} auf 0V.

- **Intervall $t_3 \rightarrow t_4$:**

Der MOSFET ist leitend und befindet sich im Linearbereich. I_D und U_{DS} bleiben noch weitgehend unverändert auf ihren Ausgangswerten. Die Gatespannung strebt mit der Zeitkonstanten

$$\tau_3 = R_g \cdot (C_{gs} + C_{gd})_{lin} \text{ gegen } 0 \text{ Volt.}$$

- **Intervall $t_4 \rightarrow t_5$:**

U_{GS0} ist der Wert der Gatespannung, bei dem gerade noch der Einschaltstrom I_{Dx} aufrecht erhalten werden kann. Sobald $U_{GS} < U_{GS0}$ wird, sinkt I_D und U_{DS} steigt an. Der FET arbeitet im Abschnürbereich und der Millereffekt bestimmt die kapazitiven Wirkungen. $\rightarrow U_{GS}$ sinkt deutlich verlangsamt mit der Zeitkonstanten $\tau_2 = R_g \cdot C_{ieff}$.

- **Intervall $t > t_5$:**

U_{DS} erreicht Endwert U_{DD} $\rightarrow \Delta U_{DS} \approx 0$ \rightarrow Millereffekt verschwindet.

MOSFET gesperrt, da $U_{GS} < U_{T0}$. U_{GS} sinkt weiter gegen 0V mit der Zeitkonstanten $\tau_1 = R_g C_{iss}$.

Eine **induktive Komponente** in der Last verändert die Signalverläufe merklich, insbesondere treten zusammen mit den Kapazitäten **Überschwinger** auf. \rightarrow Abhilfe: **Schutzbeschaltung**.

Allgemeine Aussage:

Ein- und Ausschaltvorgang können wesentlich durch eine **Verringerung des Generatorwiderstands verkürzt werden!**

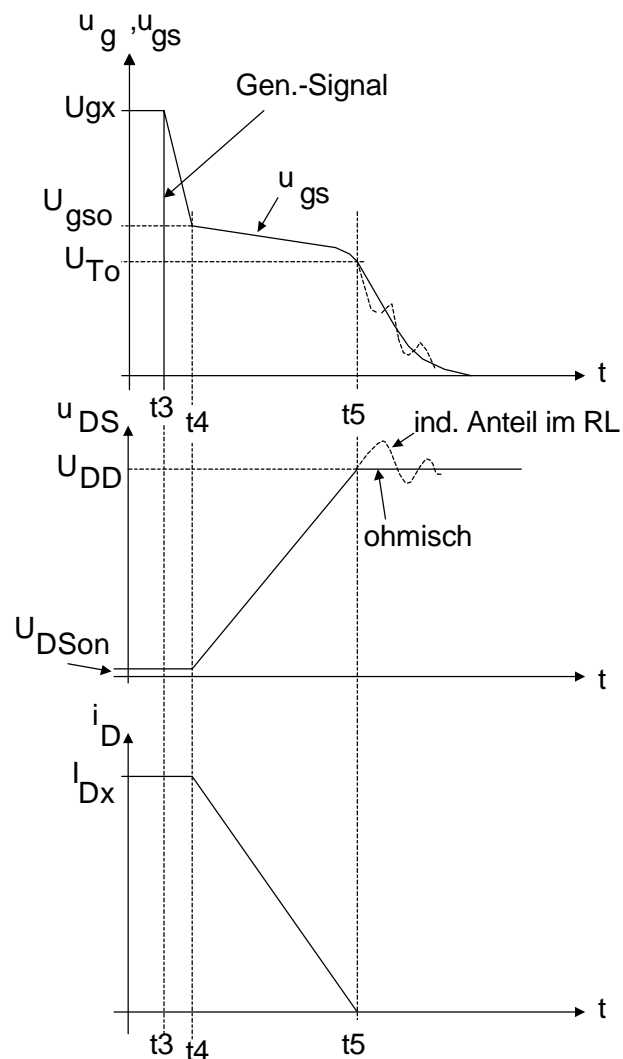


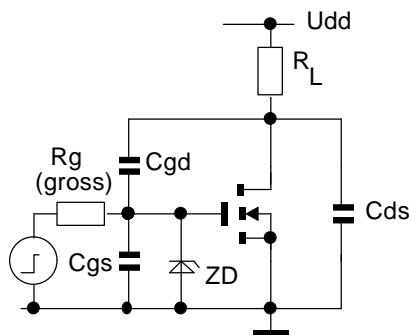
Abb. MS17: Signalverläufe beim Ausschalten

MS.4 Anmerkungen zur Schaltungstechnik (Auswahl)

MS.4.1 Vermeidung von Überspannungen

Überschreiten der zul. U_{GSmax} kann einen Durchschlag des Gate-Source-Oxids zu Folge haben und das Bauelement zerstören. Für MOS-Leistungs-FET gelten die gleichen Vorsichtsmaßnahmen bezüglich statischer Aufladung wie für andere MOS-Bauelemente. (Siehe Praktikum PBE).

MS.4.1.1 Vermeidung einer Gate-Source-Überspannung.



Im Schaltbetrieb können bei Vorhandensein eines **großen Steuerquellen-Innenwiderstands** schnelle U_{DS} -Änderungen kapazitiv auf das Gate zurückgekoppelt werden. Die Spannungsänderung ΔU_{DS} wird dann um das Spannungsteilverhältnis $\frac{1}{1 + \frac{C_{gs}}{C_{gd}}}$ vermindert wirksam.

Allerdings sind nur die negativen (bei N-Kanal-FET) Spannungsänderungen gefährlich, da eine pos. Gatespannung den MOSFET einschaltet und lediglich das $\frac{dU_{DS}}{dt}$ verlangsamt.

Eine wirksame Schutzbeschaltung mit Z-Diode ist in Abb. MS18 zu sehen.

Abb. MS18: Gate-Schutzbeschaltung

MS.4.1.2 Vermeidung einer Drain-Source-Überspannung.

Eine Überspannung an Drain beim Abschalten einer induktiven Last wird üblicherweise mit einer (schnellen) Freilaufdiode verhindert.

Beim schnellen Abschalten eines hohen Laststroms können aber schon geringe Streuinduktivitäten zu unzulässigen Überspannungen führen. (Abb. MS19)

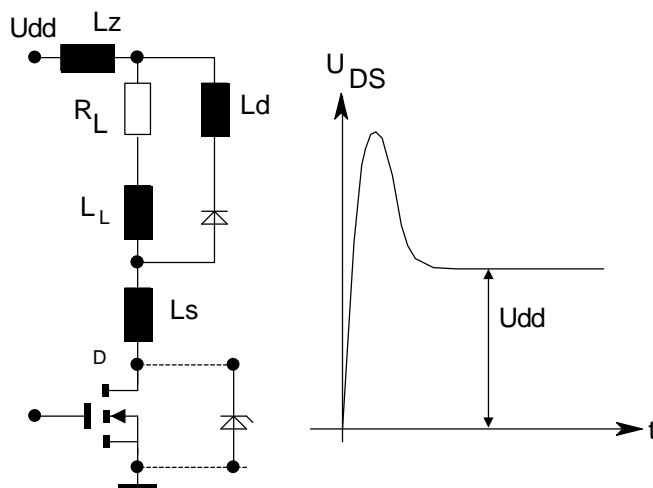


Abb. MS19: Wirkung von Streuinduktivitäten

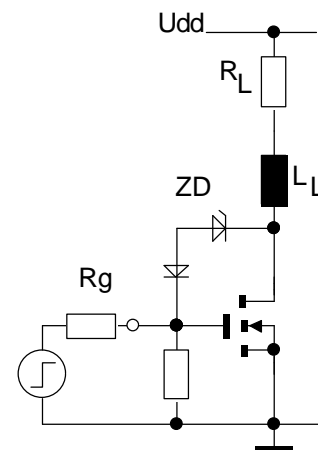


Abb. MS20: Drainschutzbeschaltung

Abhilfe:

- Überlegtes Layout mit kurzen, breiten Leiterbahnen, um die Streuinduktivitäten klein zu halten.
- Überspannungsbegrenzung durch Klemmen mit einer Z-Diode wie in Abb. MS19. Die Zenerspannung muß etwas über der U_{DD} liegen; damit ist die Schaltung nicht für eine Betriebsspannung von mehreren 100V geeignet.

- Überspannungsbegrenzung durch Gegenkopplung mit Z-Diode. (Abb. MS 20)
Die Durchbruchspannung der Z-Diode ist kleiner als $U_{DS(BR)}$ des MOSFET aber größer als U_{DD} zu wählen. Übersteigt U_{DS} die Durchbruchspannung der Z-Diode, wird das Gate hochgezogen, der FET leitet und die U_{DS} wird reduziert.
- Klemmschaltung mit RC-Glied (Abb. MS 21).
Der Kondensator C nimmt die Energie des Überspannungsimpulses auf, im Einschaltfall des MOSFET wird C wieder über R entladen.

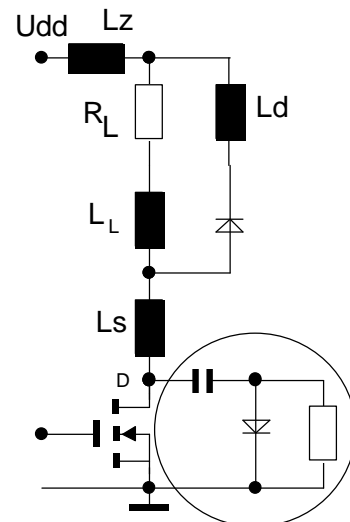


Abb. MS21: Klemmschaltung mit RC-Glied

MS.4.2 Parallelschaltung von MOSFET

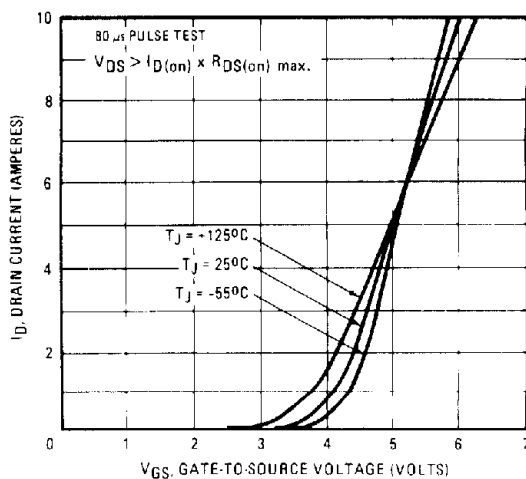


Abb. MS22: Temp.-Abhängigkeit der Steuerkennlinie

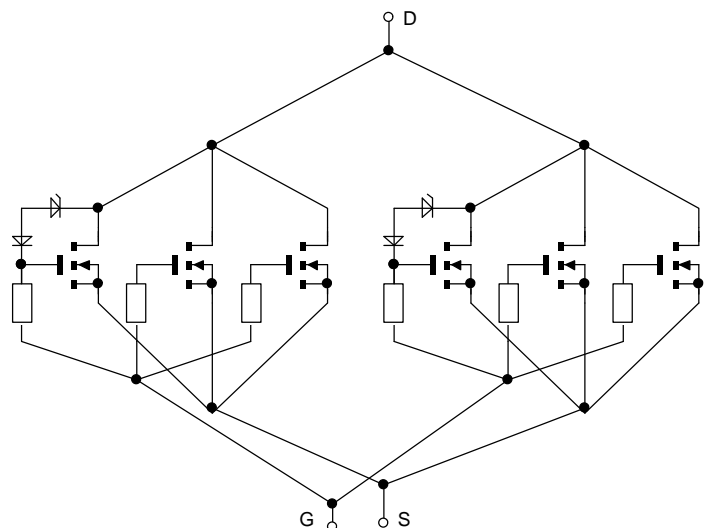


Abb. MS23: Parallelschaltung v. MOSFET

Grundsätzlich können MOSFET wegen des negativen TK der Steuerkennlinie problemlos parallel geschaltet werden. Bei Power-MOSFET ist allerdings zu beachten, daß der Kompensationspunkt des TK relativ hoch liegt, und bei Strömen **unterhalb** I_{DK} der **TK positiv** wird!

- Die parallel zu schaltenden FET sind thermisch gut zu koppeln (gleicher Kühlkörper)
- Induktionsarme, symmetrische Verbindung der Transistoranschlüsse
- Entkopplung der Gates mit kleinen Reihenwiderständen, um hochfrequentes Schwingen zu unterdrücken
- Spannungsschutzbeschaltung wie in Abb. MS20 gruppenweise vorsehen.

MS.4.4 Kaskode-Schaltung mit einem BJT

Zur Erhöhung der Sperrspannung kann eine Kaskodeschaltung verwendet werden. Ein niedrigsperrender MOSFET (einige 10V) wird durch einen hochsperrenden BJT (einige 100V) unterstützt. U_b liegt etwas unter der max. zul. Drainspannung des MOSFET.

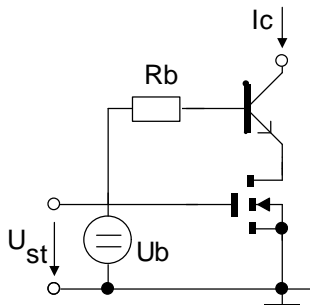


Abb. MS29: Kaskadierung mit BJT

Ist der MOSFET ausgeschaltet, sperrt auch der BJT, da der Emitter offen ist. (nur mehr I_{CBO}).

Wird der MOSFET eingeschaltet, schaltet auch der BJT durch U_b und R_b ein. Die Hilfsspannung U_b wird häufig dynamisch aus der Schaltung erzeugt.

Die Schaltzeiten sind trotz Einsatz eines BJT kurz, da dieser in Basis-schaltung arbeitet.

MS.5 Der IGBT (Insulated Gate Bipolar Transistor)

Bei Leistungs-MOSFET schließen sich kleine $R_{DS(on)}$ und große $U_{DS(BR)}$ gegenseitig aus. Mit der IGBT-Technologie werden die Vorteile der MOS- und der Bipolartechnik vereint und dieser Nachteil ausgeglichen.

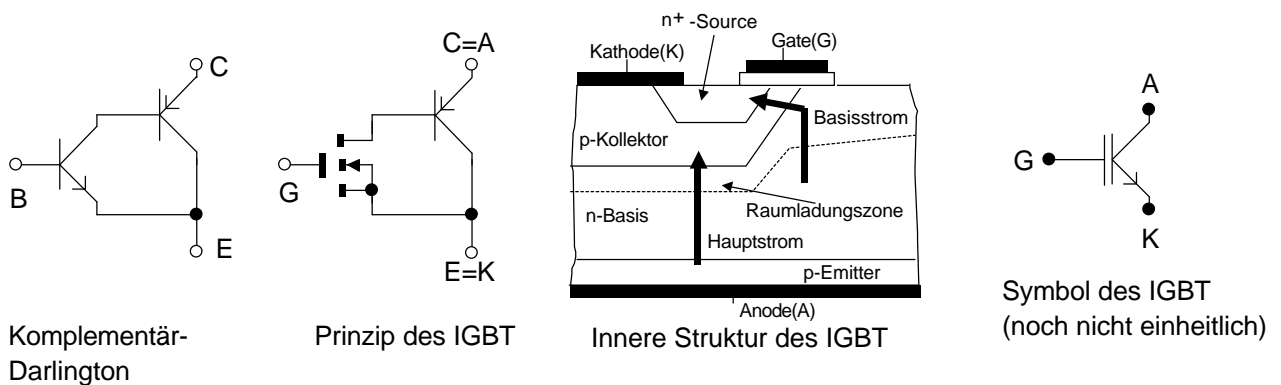


Abb. MS30: Der IGBT

Vorteile:

- hochohmiger Eingang wie bei MOS-Technik, niedrige Steuerleistung.
- häufig direkt mit Logikschaltkreisen ansteuerbar.
- hohe Strom- und Spannungsbelastbarkeit, sehr robust.
- ca. 3...4-fache Stromdichte gegenüber MOS-Elementen.
- niedrige Einschaltverluste wegen kleiner Sättigungsspannung des BJT.
- nur 1/3 der Chipgröße von vergleichbaren MOS-Leistungstransistoren.

Nachteile:

- Langsamere Ausschaltzeit gegenüber MOS-Technik, aber immer noch schneller als rein bipolar.
- wegen des parasitären Thyristors Risiko von Latch-up-Effekten.
- erhöhte Schaltverluste, vor allem beim Abschalten.
- Grenzfrequenz einige 10 kHz.

Besonderheiten:

- IGBT's mit integrierter thermischer und Kurzschlußsicherung.
- IGBT's mit integrierter Fehlererkennungsschaltung.
- IGBT-Module bis 400 A , 1500V.
- IGBT + integrierte Steuerschaltungen = Smart-Power-Devices.